

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-037301

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H04N 13/02
G02B 27/22
G03B 35/18
H03M 7/36

(21)Application number : 07-180149

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.07.1995

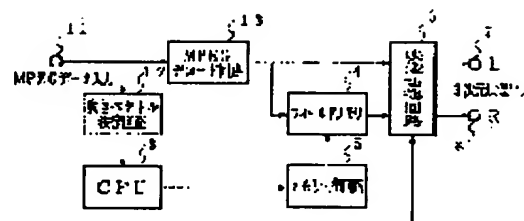
(72)Inventor : YAMASHITA AKIHIKO
URAKOSHI AKIRA

(54) STEREOSCOPIC PICTURE CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stereoscopic picture conversion circuit utilizing a moving vector multiplexed to a two-dimensional (2D) video signal by MPEG algorithm.

SOLUTION: A 2D video signal is supplied to a moving vector determining circuit 12, which extracts the moving vector data of each macro block from an MPEG bit stream and supplies the data to a CPU 3. The CPU 3 controls a memory control circuit 5 in accordance with the moving vector data. In addition, the CPU 3 controls a video switching circuit 6 so that the 2D video signal is switched to a left eye video signal when the direction of the moving vector is left to right and a delayed 2D video signal is applied to a right eye video signal in the case of the reverse direction.



LEGAL STATUS

[Date of request for examination] 05.08.1999

[Date of sending the examiner's decision of rejection] 22.08.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-37301

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 13/02			H 0 4 N 13/02	
G 0 2 B 27/22			G 0 2 B 27/22	
G 0 3 B 35/18			G 0 3 B 35/18	
H 0 3 M 7/36		9382-5K	H 0 3 M 7/36	

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平7-180149

(22) 出願日 平成7年(1995)7月17日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 山下 昭彦

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 浦越 彰

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

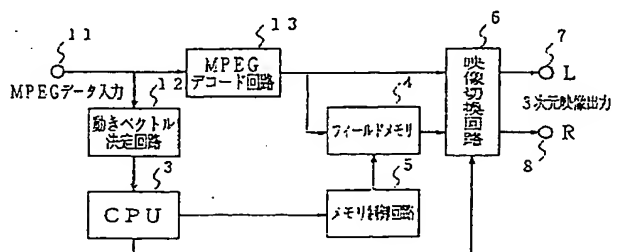
(74) 代理人 弁理士 安富 耕二

(54) 【発明の名称】 立体映像変換回路

(57) 【要約】 (修正有)

【課題】 MPEGのアルゴリズムにより2次元映像信号に多重された動きベクトルを利用した立体映像変換回路の提供。

【解決手段】 2次元映像信号の一方が、動きベクトル決定回路12に供給され、MPEGのビットストリームから各マクロブロックの動きベクトルデータを抽出し、この動きベクトルデータをCPU3に供給する。このCPU3は、動きベクトルデータに応じてメモリ制御回路5を制御する。更に、CPU3は動きベクトルの方向が左から右の場合は2次元映像信号を左目映像信号とし、逆の場合は遅延させた2次元映像信号を右目映像信号とするように映像切換回路6を制御する。



【特許請求の範囲】

【請求項1】 動きベクトルが多重された2次元映像信号を記憶するフィールドメモリと、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記フィールドメモリの遅延量を制御するメモリ制御回路とからなることを特徴とする立体映像変換回路。

【請求項2】 動きベクトルが多重された2次元映像信号を復号処理する復号回路と、該復号回路により復号された2次元映像信号を記憶するフィールドメモリと、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記フィールドメモリの遅延量を制御するメモリ制御回路とからなることを特徴とする立体映像変換回路。

【請求項3】 動きベクトルが多重された2次元映像信号の輝度成分を減衰する減衰回路と、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記減衰回路の減衰量を制御するレベル制御回路とからなることを特徴とする立体映像変換回路。

【請求項4】 動きベクトルが多重された2次元映像信号を復号処理する復号回路と、該復号回路により復号された2次元映像信号の輝度成分を減衰する減衰回路と、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記減衰回路の減衰量を制御するレベル制御回路とからなることを特徴とする立体映像変換回路。

【請求項5】 前記2次元映像信号に多重された動きベクトルは、MPEGのアルゴリズムによってデジタル圧縮された動きベクトルであることを特徴とする請求項1乃至4記載の立体映像変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、2次元映像ソフトから視差を有する3次元映像ソフトに変換する立体映像変換回路に関するものである。

【0002】

【従来の技術】2次元映像から右目用映像と左目用映像を生成することにより、疑似的に3次元映像に変換する技術として、本願出願人は特願平6-10583号を提案している。

【0003】この技術は、2次元映像から動きベクトル

を作成し、この作成された動きベクトルの水平方向の成分に応じて右目用映像と左目用映像との間に相対的な時間差あるいは輝度差を付加することにより3次元映像を作成するものである。

【0004】以下、図4～図6を用いてその原理及び回路構成を説明する。

【0005】尚、図4は本発明の原理を示す図、図5及び図6は従来の立体映像変換回路のブロック図である。

【0006】まず、本発明の原理について説明する。

【0007】図1Aのように背景は変化せず被写体が左から右へ移動する映像シーンにおいて、同図Bのように再生された右目映像と左目映像との間に一定の時間差を設けた場合、被写体の動きの分だけ位置が異なり、これが同図Cのように視差となり、立体視が可能となる。

【0008】尚、図1B及びCの数字はフィールド番号を表している。

【0009】次に、図5に従って従来技術の一例を説明する。

【0010】図5において、入力端子1からの2次元映像信号の一方はそのまま出力され、他方はフィールドメモリ4で所定フィールド遅延されて疑似的に3次元映像信号が出力端子7及び8に得られる。また、2次元映像信号の一部は、動きベクトル検出回路2で動きベクトルが検出され、CPU3はこの動きベクトルの大きさに応じてメモリ制御回路5が制御され、フィールドメモリ4の遅延量が制御される。

【0011】このように作成された右目用映像信号と左目用映像信号はディスプレイに入力され、液晶シャッター眼鏡等により立体視が可能となる。

【0012】また、ディスプレイとしてレンチキュラ方式のディスプレイを使用すれば、液晶シャッター眼鏡等を使用することなく、立体視が可能となる。

【0013】上記従来技術では、左右の視差を付ける方法として2次元映像信号に時間差を発生させるようにしたが、時間差に代えて輝度差を発生するように構成すれば、プルフリット効果により立体視が可能である。

【0014】図6は輝度差を利用した従来技術であり、図6においてフィールドメモリ4及びメモリ制御回路5の代わりに輝度レベル0db～-10dbの間で減衰するアッテネータ9及びゲイン制御回路10は動きベクトルの大きさに基づき制御される。即ち、被写体の動きが大きく動きベクトルが大きい場合、アッテネータ9の輝度減衰量が少なくなるよう制御され、被写体の動きが小さいか、あるいはスローモーション再生時のように動きベクトルが小さい場合、輝度減衰量が多くなるように制御される。

【0015】

【発明が解決しようとする課題】しかしながら、上述の従来技術においては2次元映像信号から動きベクトルを作成、検出するための動き検出回路を別途必要としてい

た。

【0016】本発明は、上述の欠点に鑑みなされたものであり、MPEGのアルゴリズムにより2次元映像信号に多重された動きベクトルを利用した立体映像変換回路を提案することを目的とする。

【0017】

【課題を解決するための手段】本発明は、動きベクトルが多重された2次元映像信号を記憶するフィールドメモリと、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記フィールドメモリの遅延量を制御するメモリ制御回路とからなることを特徴とする立体映像変換回路である。

【0018】また、本発明は、動きベクトルが多重された2次元映像信号を復号処理する復号回路と、該復号回路により復号された2次元映像信号を記憶するフィールドメモリと、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記フィールドメモリの遅延量を制御するメモリ制御回路とからなることを特徴とする立体映像変換回路である。

【0019】また、本発明は、動きベクトルが多重された2次元映像信号の輝度成分を減衰する減衰回路と、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記減衰回路の減衰量を制御するレベル制御回路とからなることを特徴とする立体映像変換回路である。

【0020】また、本発明は、動きベクトルが多重された2次元映像信号を復号処理する復号回路と、該復号回路により復号された2次元映像信号の輝度成分を減衰する減衰回路と、前記2次元映像信号に多重された動きベクトルを検出する動きベクトル決定回路と、該動きベクトル決定回路からの検出出力を入力として動き量を作成するCPUと、該CPUによる動き量を入力とし、前記動き量に基づき前記減衰回路の減衰量を制御するレベル制御回路とからなることを特徴とする立体映像変換回路である。

【0021】

【作用】MPEG入力端子11には、MPEGのアルゴリズムで圧縮されたデジタルデータのビットストリームを構成している2次元映像信号が入力される。

【0022】この2次元映像信号の一方は、MPEGデコード回路13にて復号化処理され、映像切換回路6に供給される。

【0023】また、2次元映像信号の他方は、フィールドメモリ4に供給される。このフィールドメモリ4はメモリ制御回路5により遅延量0から最大60フィールド（NTSC方式で約1秒）までの範囲でフィールド単位で可変制御される。

【0024】そして、このフィールドメモリ出力は、映像切換回路6に供給される。この映像切換回路6は、それぞれ左目映像信号Lを出力する出力端子7及び右目映像信号Rを出力する出力端子8に接続されており、被写体の動き方向に応じて出力状態が切り換わるように制御される。

【0025】2次元映像信号の更に他方は、動きベクトル決定回路12に供給され、MPEGのビットストリームから各マクロブロックの動きベクトルデータを抽出し、この動きベクトルデータをCPU3に供給する。

【0026】このCPU3は、動きベクトルデータに応じてメモリ制御回路5を制御する。

【0027】更に、CPU3は動きベクトルの方向が左から右の場合は2次元映像信号を左目映像信号とし、逆の場合は遅延させた2次元映像信号を右目映像信号とするように映像切換回路6を制御する。

【0028】

【実施例】近年、DCT (Discrete Cosine Transform) を利用した動画のデジタル圧縮アルゴリズムがMPEGとしてISO/IECで標準化され、蓄積メディアや放送、通信へ採用されつつある。

【0029】MPEGは現在2種類の標準化が終了しており、ビットレートが1.5MbpsのMPEG1と、ビットレートが5Mbps以上でプロファイル及びレベルという概念を導入し、放送、通信へ幅広く対応できるMPEG2がある。MPEG1及びMPEG2の圧縮アルゴリズムの詳細については、それぞれISO/IEC 11172及び13818に示されているのでここでは省略するが、本発明に関連する部分についてMPEG1を中心に以下に述べる。

【0030】MPEG1は動き補償フレーム間/フレーム内適応予測符号化方式によるデジタル圧縮方式であり、動き補償を行うために動きベクトルが使用される。動きベクトルは16×16画素のマクロブロック単位で検出され、圧縮された映像データと一緒に多重され、受信側へ送信される。

【0031】受信側では、送信された動きベクトルを基にフレーム間処理を行う。但し、全ての映像フレームについて同様に動き補償による適応予測が行われるわけではなく、蓄積メディアによる早送り/巻戻し等の特殊再生を考慮し、後述するGOP (Group of Picture) 構造によって定期的に強制的なフレーム内符号化を行っている。

【0032】GOP構造について説明するために、GO

Pの一例を図3に示す。

【0033】MPEG1には、Iピクチャ、Pピクチャ、及びBピクチャの3種類の画像タイプがあり、Iピクチャから次のIピクチャまでがグループ化され、GOPと呼ばれる。

【0034】次に、GOP内の各画像タイプについて説明する。

【0035】Iピクチャ（図中I0、I1）はフレーム内符号化され、全てのマクロブロックがフレーム内符号化される。Pピクチャ（図中P0～P2）は直前のIピクチャ若しくはPピクチャからの順方向予測が可能なフレームであり、各マクロブロックはフレーム内／順方向フレーム間予測符号化処理が行われる。Bピクチャ（図中B0～B7）は順方向予測に加えて未来のフレームからの逆方向予測も可能なフレームであり、Bピクチャ内の各マクロブロックは、フレーム内符号化、直前のIピクチャ若しくはPピクチャからの順方向予測符号化、直前のIピクチャ若しくはPピクチャからの逆方向予測符号化、または順方向及び逆方向の両方の予測による双方向予測符号化処理が行われる。

【0036】図中のVP1、VP2、VB1F、VB1B、VB2F、VB3F、VB3Bは参照画像からの動きベクトルの関係を示すものであり、例えばB2ピクチャが双方向予測される場合、I0ピクチャからの動きベクトルVB2FとP1ピクチャからの動きベクトルVB2Bが用いられる。

【0037】各マクロブロックの処理において、フレーム間の予測符号化された場合には、動き補償のための動きベクトルがデータとして映像データの多重されて伝送される。ここでは、GOP構造の一例を示したが、IピクチャとPピクチャとの間隔等は可変であるし、プロファイルによってはBピクチャを使用しないこともある。MPEG2の場合は、3種類の画像タイプ（I、P、B）は同じであるが、フィールドベースの予測が可能となっており、参照する画像がMPEG1と異なるが、本発明に関しては同様の考え方で実現できる。

【0038】本発明の特徴は、MPEG等のように動きベクトルが既に多重されている場合に、その動きベクトルを利用して2次元映像を3次元映像に変換する点である。

【0039】以下、図1を用いて本発明の一実施例を説明する。

【0040】図1において、MPEG入力端子11には、MPEGのアルゴリズムで圧縮されたデジタルデータのビットストリームを構成している2次元映像信号が入力される。

【0041】この2次元映像信号の一方は、MPEGデコード回路13にて復号化処理され、映像切換回路6に供給される。

【0042】また、2次元映像信号の他方は、フィールドメモリ4に供給される。このフィールドメモリ4はメ

モリ制御回路5により遅延量0から最大60フィールド（NTSC方式で約1秒）までの範囲でフィールド単位で可変制御される。また、可変単位は1フィールド以下の小さい単位でもかまわない。

【0043】そして、このフィールドメモリ出力は、映像切換回路6に供給される。この映像切換回路6は、それぞれ左目映像信号Lを出力する出力端子7及び右目映像信号Rを出力する出力端子8に接続されており、被写体の動き方向に応じて出力状態が切り換わるように制御される。

【0044】2次元映像信号の更に他方は、動きベクトル決定回路12に供給され、MPEGのビットストリームから各マクロブロックの動きベクトルデータを抽出し、この動きベクトルデータをCPU3に供給する。

【0045】このCPU3は、動きベクトルデータに応じてメモリ制御回路5を制御する。即ち、被写体の動きが大きく動きベクトルが大きい場合、フィールドメモリ4の遅延量が少なくなるよう制御し、被写体の動きが小さいか、あるいはスローモーション再生時のように動きベクトルが小さい場合、遅延量が大きくなるように制御される。

【0046】尚、フィールドメモリ4の遅延フィールド数は最大60フィールドであり、これはNTSC方式の1秒間に相当し、通常の映像シーンにほぼ対応できる時間であるが、より低速のスローモーション再生に使用する場合に60フィールド以上の大容量のメモリを使用すればよい。また、超低速のスローモーション再生には数100フィールド遅延させればよい。

【0047】更に、CPU3は動きベクトルの方向が左から右の場合は2次元映像信号を左目映像信号とし、逆の場合は遅延させた2次元映像信号を右目映像信号とするように映像切換回路6を制御する。

【0048】従って、2次元映像信号において被写体が水平方向に移動するようなシーンについては動きの速さに応じた視差が発生する。

【0049】そして、この出力端子7、8からの左右映像信号は、レンチキュラ方式の眼鏡なしディスプレイに供給すれば、2次元映像信号であっても部分的に立体感のある立体画像が疑似的に再現できる。

【0050】次に、動きベクトル決定回路12の動作について詳説する。

【0051】動きベクトル決定回路12は、従来技術の動き検出回路に相当するものであるが、従来回路と異なる点は、動き検出回路が2次元映像信号から動きベクトルを作成し、この作成された動きベクトルから3次元映像のための動きベクトルを決定していたのに対し、本発明回路の動きベクトル決定回路12は、動きベクトルデータを抽出している点である。

【0052】従って、送信側でデータとして多重されているので動きベクトルデータを利用しているため、従来

回路のように2次元映像信号から動きベクトルを作成し、この動きベクトルから3次元映像のための動きベクトルを決定する回路が不要となる。

【0053】ここで、本実施例では、動きベクトル決定回路12は、CPU3とは独立した構成となっているが、CPU内のソフト処理にでも対応可能である。

【0054】尚、本実施例では、3次元化のための動きベクトルは、基本的に過去の画像からの動きベクトルを利用するものとし、例えば前述のBピクチャのように未来の画像からの逆方向予測のための動きベクトルは、後述する特殊な場合を除いて利用しないものとする。

【0055】また、MPEGデコード用の動きベクトルを3次元化のために使用する場合、動きベクトルがマクロブロック単位である点、Iピクチャが強制的にフレーム内符号化処理されている点、及び各ベクトルのフレーム間隔が異なる点を高濃する必要がある。

【0056】以下、各項目について処理方法を示す。

【0057】MPEGのアルゴリズムでは、動きベクトルは各マクロブロックに存在しているのに対し、2次元映像から3次元映像への変換においては、1フレームに1個の動きベクトルを抽出すれば良いため、どの動きベクトルを抽出するかが問題となる。そこで、本実施例では多数決処理にて動きベクトルの決定を行っている。

【0058】また、Iピクチャはフレーム内符号化処理されているため、Iピクチャには動きベクトルが多重されていない。

【0059】このため、本実施例では、Bピクチャが存在する場合、直前のBピクチャの逆方向予測符号化用の動きベクトルを利用している。つまり、図3において、I0ピクチャの動きベクトルとしてB1ピクチャの動きベクトルVB1Bを利用する。尚、この際、ピクチャI0から見ると、方向が逆になっている点に注意することが必要である。

【0060】これとは別に、ピクチャI0の前後にあるピクチャB1及びピクチャB2に存在する動きベクトルを平均化して利用することも可能である。

【0061】更に、各ベクトルのフレーム間隔が異なっている点については、動きベクトルのフレーム間隔を同じ値にする必要がある。本実施例では、フレーム間隔を1フレームに統一し、例えば図3における動きベクトルVP1(3フレーム間隔)を利用する場合は、この動きベクトルVP1を1/3にすればよい。

【0062】尚、上記実施例では、左右の視差を付ける方法として2次元映像信号に時間差を発生させるようにしたが、時間差に代えて輝度差を発生するように構成すれば、プルフリッヒ効果により立体視が可能である。

【0063】図2にこの実施例を示す。

【0064】即ち、本実施例においては、フィールドメモリ4及びメモリ制御回路5の代わりに輝度レベル0db〜10dbの間で減衰するアッテネータ9及びゲイン制御回路10を使用している。このアッテネータ9及びゲイン制御回路10は上述の実施例と同様に動きベクトルの大きさに基づき制御される。即ち、被写体の動きが大きく動きベクトルが大きい場合、アッテネータ9の輝度減衰量が少なくなるよう制御され、被写体の動きが小さいか、あるいはスローモーション再生時のように動きベクトルが小さい場合、輝度減衰量が多くなるように制御される。

【0065】尚、アッテネータ9の減衰量は0〜10dbに限らず、より低速のスローモーション再生に使用する場合は、一数10dbの減衰量を与えるようにすればよい。

【0066】また、アッテネータ9の代わりに利得可変アンプを使用してもよい。

【0067】

【発明の効果】本発明は、上述の如く構成することにより、2次元映像信号から動きベクトルを作成する回路、及び作成された動きベクトルから3次元映像のための動きベクトルを決定する回路が不要となり、立体映像変換回路の構成を簡略化することができる。

【図面の簡単な説明】

【図1】本発明立体映像変換回路の1実施例を示すブロック図である。

【図2】本発明立体映像変換回路の他の実施例を示すブロック図である。

【図3】本発明立体映像変換回路に入力される2次元映像信号のフォーマットを示す図である。

【図4】3次元映像を作成する為の原理を説明する図である。

【図5】従来の立体映像変換回路のブロック図である。

【図6】従来の立体映像変換回路のブロック図である。

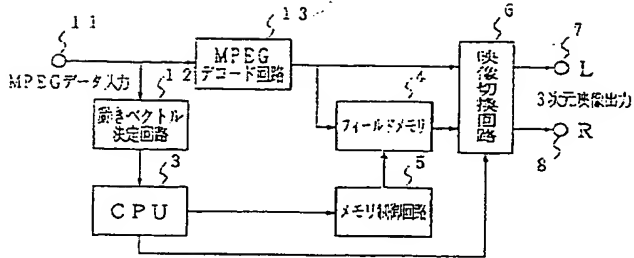
【符号の説明】

- 3 CPU
- 4 フィールドメモリ
- 5 メモリ制御回路
- 6 映像切換回路
- 7 出力端子
- 8 出力端子
- 11 入力端子
- 12 動き決定回路
- 13 MPEGデコーダ回路

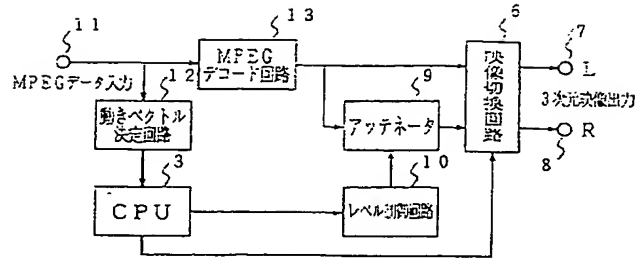
(6)

特開平9-37301

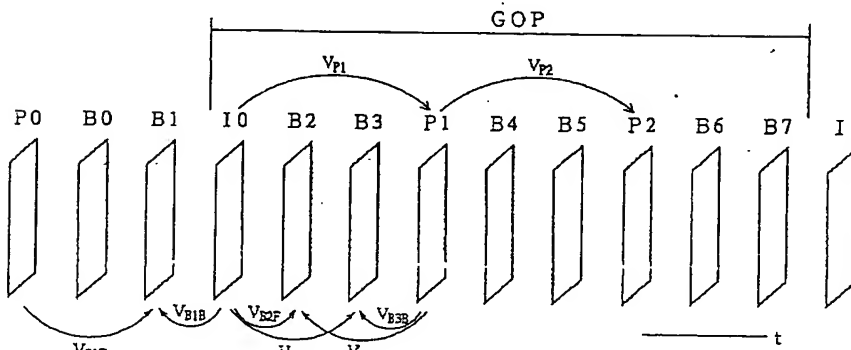
【図1】



【図2】

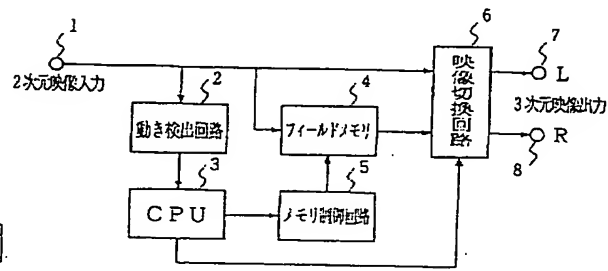
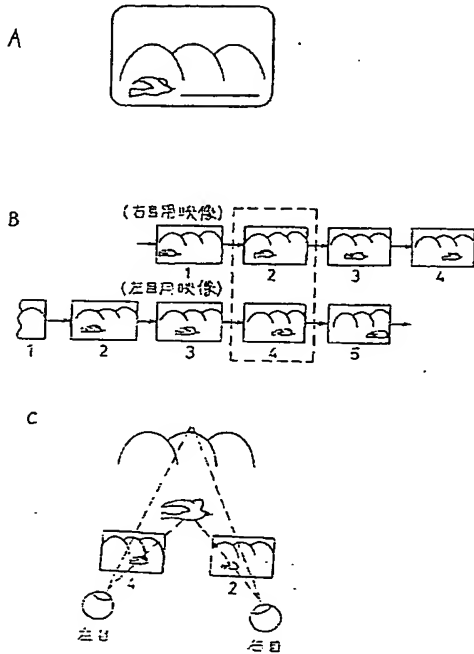


【図3】



【図4】

【図5】



【図6】

